

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-44097

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 11/22

識別記号 庁内整理番号

3 4 0 A 8323-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全3頁)

(21)出願番号 特願平4-61597

(22)出願日 平成4年(1992)3月18日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 福島 裕

東京都港区芝五丁目7番1号日本電気株式  
会社内

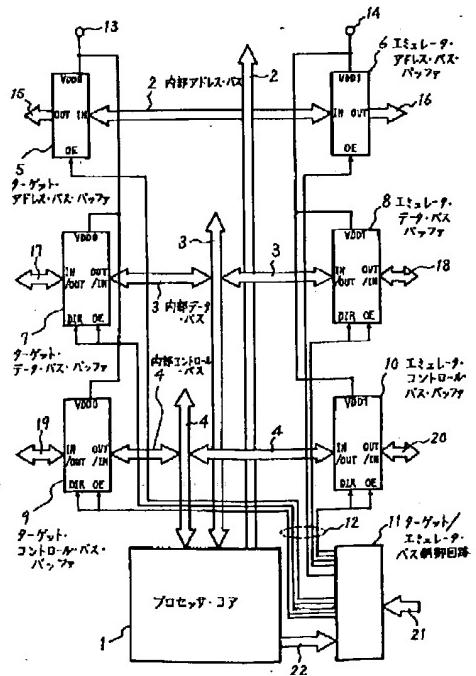
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】マイクロプロセッサ

(57)【要約】

【目的】イン・サーチット・エミュレータに使用するマイクロプロセッサでターゲット・システムとのインターフェースの特性を実デバイスにできる限り近づけると同時に、ターゲット・システムの電源電圧に依存しないイン・サーチット・エミュレータの内部回路をつくることにある。

【構成】プロセッサ・コア1と、このプロセッサ・コア1に接続された内部アドレス・バス2、内部データ・バス3および内部コントロール・バス4と、これら内部バス2～4の各々に接続された2組のバッファ5、6；7、8；9、10と、これら各2組のバッファに接続される端子15、16；17、18；19、20とを有する。しかも、バッファ5、7、9とバッファ6、8、10とに供給する電源13、14とを異ならせている。



1

2

## 【特許請求の範囲】

【請求項1】プロセッサ・コアと、前記プロセッサ・コアに接続された内部アドレス・バス、内部データ・バスおよび内部コントロール・バスと、前記内部バスの各々に接続された2組のバッファと、前記各2組のバッファに接続される端子とを有することを特徴とするマイクロプロセッサ。

【請求項2】外部制御端子からの制御信号および前記プロセッサ・コアの内部バス・ステータス信号により前記各々のバッファの入出力を制御する制御回路を備えた請求項1記載のマイクロプロセッサ。

【請求項3】前記内部バス接続される前記各2組のバッファの電源ラインは独立で異なる電源電圧を供給する電源端子を有し、前記電源電圧に従属する入出力電圧レベル・インターフェースを備えた請求項1記載のマイクロプロセッサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はマイクロプロセッサに関し、特にイン・サーチット・エミュレータに使用するエミュレーション用マイクロプロセッサに関する。

## 【0002】

【従来の技術】従来のマイクロプロセッサは、プロセッサ・コアと、アドレス・バス、データ・バスおよびコントロール・バスと、これらのバスにそれぞれ接続された1組のバッファと、各バッファに接続された1組の端子とを有している。このため、マイクロプロセッサをイン・サーチット・エミュレータで使用する場合は、デバッグ対象となるターゲット・システムに供給するバス信号とイン・サーチット・エミュレータ内部に供給するバス信号を分離するためのバス・バッファ回路およびそのバッファ回路の入出力や方向制御タイミング信号を生成する制御回路を有している。しかも、かかるバス・バッファ回路は外付けで設けられる。

## 【0003】

【発明が解決しようとする課題】上述した従来のマイクロプロセッサは外部にバッファ回路を付加するので、信号の遅延時間が大きくなる。また、バッファ回路の入出力や方向制御回路はマイクロプロセッサの端子出力およびクロック信号により制御するので、内部のバス・バッファ制御信号とタイミングが異なる。従って、イン・サーチット・エミュレータをターゲット・システムに接続した時と実デバイスをターゲット・システムに実装した時とでは、特性が異なり、誤動作の原因となるという欠点がある。また、動作電圧範囲が広い(2.5V~5.5V)マイクロプロセッサのイン・サーチット・エミュレータでは、全電源電圧範囲で周辺回路を構成するのが困難であるという欠点がある。

【0004】本発明の目的は、かかるイン・サーチット・エミュレータで使用するときに、ターゲットシステム

とのインターフェースの特性を実デバイスに近づけるとともに、ターゲットシステムの電源電圧に依存しないマイクロプロセッサを提供することにする。

## 【0005】

【課題を解決するための手段】本発明のマイクロプロセッサは、プロセッサ・コアと、前記プロセッサ・コアに接続された内部アドレス・バス、内部データ・バスおよび内部コントロール・バスと、前記内部バスの各々に接続された2組のバッファと、前記各2組のバッファに接続される端子とを有して構成される。

## 【0006】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例を示すマイクロプロセッサのブロック図である。図1に示すように、本実施例はプロセッサ・コア1と、プロセッサ・コア部1の内部アドレス・バス2、内部データ・バス3および内部コントロール・バス4とを有し、これらのバス2~4はそれぞれターゲット・アドレス・バス・バッファ5とエミュレータ・アドレス・バス・バッファ6、ターゲット・データ・バス・バッファ7とエミュレータ・データ・バス・バッファ8、ターゲット・コントロール・バス・バッファ9とエミュレータ・コントロール・バス・バッファ10に接続される。また、ターゲット/エミュレータ・バス制御回路11はターゲット/エミュレータ・バス制御端子21の入力とマイクロプロセッサ・コア部1からのバス・タイミング信号22により、バス・バッファ制御信号12を生成する。このバス・バッファ制御信号12は各バッファのターゲット・アドレス・バス(端子)15、ターゲット・データ・バス(端子)17およびターゲット・コントロール・バス(端子)19(以下、ターゲット・バスと称す)と、エミュレータ・アドレス・バス(端子)16、エミュレータ・データ・バス(端子)18およびエミュレータ・コントロール・バス(端子)20(以下、エミュレータ・バスと称す)とを制御することにより、次の動作を行う。

【0007】(1)エミュレータ・プログラム実行中のターゲット・バスはネゲートし、エミュレータ・バスはアサートする。

【0008】(2)ターゲット・プログラム実行中のターゲット・バスはアサートし、エミュレータ・バスは内部バスを経由してターゲット・バスをモニタリングする。

【0009】また、ターゲット・バスとエミュレータ・バスに接続される各バッファの電源は、それぞれターゲット・バッファ電源端子13とエミュレータ・バッファ電源端子14に接続され、しかもこれらの電源電圧は独立している。従って、ターゲット・バスの入出力レベルはターゲット・システムにあわせ、またエミュレータ・バスの入出力レベルはエミュレータ・システムに合わせている。

## 【0010】

【発明の効果】以上説明したように、本発明のマイクロプロセッサは、アドレス・バス、データ・バスおよびコントロール・バスのバッファを各々2組ずつ備え、プロセッサ内部バス・ステータスと外部制御端子信号入力により各バッファの入出力および方向制御を行う制御回路を有し、しかも2組のバッファは独立した電源ラインで駆動することにより、イン・サーキット・エミュレータで使用する場合に、ターゲット・システムとの接続部に外部バッファ回路を不要にでき、遅延時間も短縮するので実チップとイン・サーキット・エミュレータの透過性を向上させることができるという効果がある。また、本発明は部品点数の削減がはかれるという効果がある。例えば、32ビットMPUで約300信号のバッファを削減できる。更に、本発明はターゲット・システムの電源電圧に依存せず、エミュレータの回路を容易に構成できるという効果がある。

## 【図面の簡単な説明】

【図1】本発明の一実施例を示すマイクロプロセッサである。

## 【符号の説明】

- 1 プロセッサ・コア
- 2 内部アドレス・バス
- 3 内部データ・バス
- 4 内部コントロール・バス
- 5 ターゲット・アドレス・バス・バッファ
- 6 エミュレータ・アドレス・バス・バッファ
- 7 ターゲット・データ・バス・バッファ
- 8 エミュレータ・データ・バス・バッファ
- 9 ターゲット・コントロール・バス・バッファ
- 10 エミュレータ・コントロール・バス・バッファ
- 11 ターゲット/エミュレータ・バス制御回路
- 12 バス・バッファ制御信号
- 13, 14 電源端子

【図1】

